



دانشگاه صنعتی اصفهان
دانشکده برق و کامپیوتر

تست مدارهای دیجیتال با روش JTAG

سمینار درس سیستمهای مطمئن

علی بهلولی زفره

استاد درس
دکتر مازیار پالهنک

اسفند ۱۳۸۱

JTAG

1



عناوین اصلی

(۱) مقدمه

(۲) JTAG چیست؟

(۳) معماری پیمایش مرزی

(۴) مدار کنترلی مورد نیاز

(۵) زبان BSDL

(۶) مصارف دیگر روش JTAG

JTAG

2



مقدمه

امروزه تجهیزات الکترونیکی که مورد استفاده روز مره قرار می گیرند در حال کوچک شدن هستند. با افزایش حجم مدارات الکترونیکی و نیاز به بوردهای چند لایه و همچنین متمرکز کردن مدارات بر روی یک تراشه، دیگر امکان دسترسی به پایه های تراشه ها یا تست به روش "Bed of Nails" غیر ممکن شده است.

سیر صعودی استفاده از قطعات کوچک که در دو طرف بردهای PCB استفاده می شوند باعث شده که تست این بردها و برنامه ریزی آنها برای مهندسان مشکل شود.

علاوه بر کوچک شدن قطعات، افزایش سرعت بردهای دیجیتال باعث شده است که روشهای تست سنتی غیر ممکن شود. بنابراین برای حل این مشکلات باید روشی جهت تست این مدارها اندیشیده شود.

مشخصاتی که این روشها باید داشته باشند عبارتند از:

- دارای کمترین بالا سری باشند

- کم هزینه باشند

- قابل گسترش باشند



همکاری شرکتهای بین المللی جهت ارایه راه حل

Joint Test Action Group

JTAG

در سال ۱۹۸۵ گروهی از شرکتهای بزرگ ساخت آی سی (Joint Test Action Group) روشی کم هزینه برای تست معرفی کردند.

این روش در سال ۱۹۹۰ توسط IEEE به استاندارد تحت عنوان IEEE std 1149.1 معرفی شد.

طبق این استاندارد شرکتهای سازنده ابزارهای الکترونیکی می بایست مدارهایی را در ورودی و خروجی های آی سی ها به منظور تست تعبیه کنند.

علاوه بر این باید مداری برای کنترل این قسمت در نظر گرفته شود.



ساختار روش آرایه شده توسط گروه JTAG

در قسمت قبل گفته شد که کارخانه های ساخت ابزارهای الکترونیکی باید مدارهایی را در ورودی و خروجی هر تراشه تعبیه کنند.

این مدار که بین پایه های تراشه و مدار داخلی قرار می گیرد را سلول می نامیم. این سلولها به یکدیگر متصلند و از طریق مدار کنترل از بیرون قابل دسترسی هستند.

JTAG هر کدام از این سلولها را، BSC (Boundary Scan Cell) نامید و از روش پیمایش مرزی (Boundary Scan) برای تست استفاده کرد.

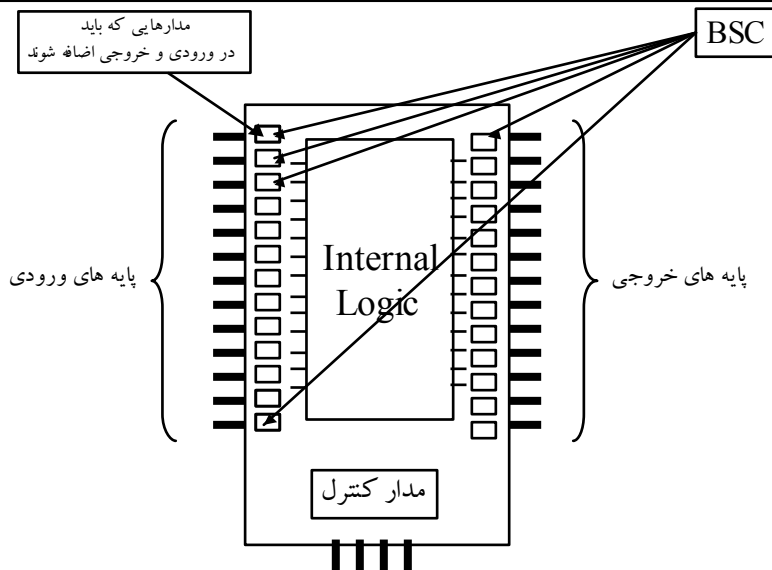
روش پیمایش مرزی توسط IEEE استاندارد شده است و زبانی برای توصیف آن به نام BSDL (Boundary Scan Description Language) پایه گذاری شده است. در ادامه به تشریح این مطلب پرداخته می شود.

JTAG

5



نحوه چینش سلولهای تست در یک تراشه



JTAG

6

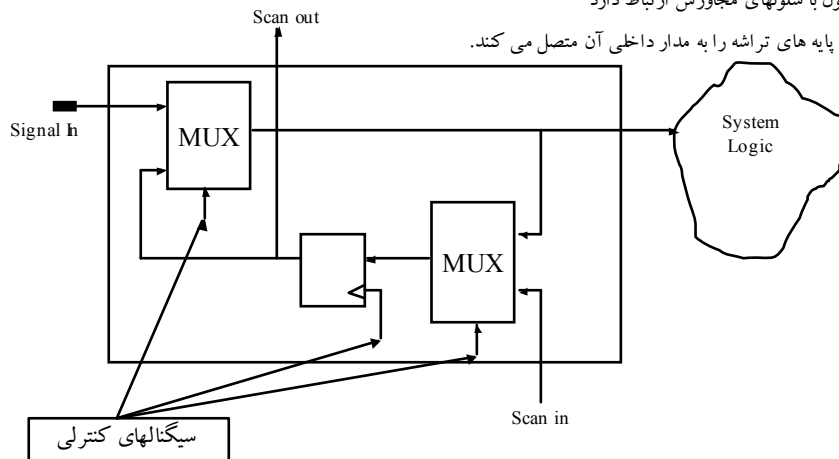


ساختار داخلی BSC

هر سلول دارای ۴ ورودی، خروجی اصلی و تعدادی سیگنال کنترلی است.

هر سلول با سلولهای مجاورش ارتباط دارد

سلولها پایه های تراشه را به مدار داخلی آن متصل می کند.



JTAG

7



ارتباط TAP با دنیای خارج

- سلولها به صورت سریال به یکدیگر متصلند و تشکیل یک شیفت رجیستر می دهند. این شیفت رجیستر توسط DR (Data Register) نامیده می شود.

توسط DR تمام پایه های ورودی، خروجی به صورت مجازی قابل دسترسی هستند به همین دلیل به آنها Virtual Nail گفته می شوند.

این شیفت رجیستر توسط کنترلی به نام Test Access Port (TAP) کنترل می شود.

TAP با دنیای خارج توسط ۴ پین اصلی زیر در ارتباط است:

- TCK (Test Clock): این پایه فراهم کننده کلاک برای TAP است.

- TMS (Test Mode Select): ترتیب اجرای دستورات در TAP controller بوسیله وضعیت این پایه در لبه

بالا رونده TCK تعیین می شود، این پایه دارای یک pull up خارجی است.

- TDI (Test Data In): این پایه یک ورودی سریال برای TAP است که به کمک آن می توان به TAP فرمان داد که چه دستوری را انجام دهد، همچنین از این پایه برای مقدار دادن به پایه های ورودی یا خروجی تراشه می توان استفاده کرد.

- TDO (Test Data Out): این پایه یک خروجی سریال برای TAP است وضعیت این پایه توسط TMS و IR تعیین می شود. در مواقعی که به TDO نیازی نیست خروجی آن Hi Z می شود. این پایه pull up داخلی است.

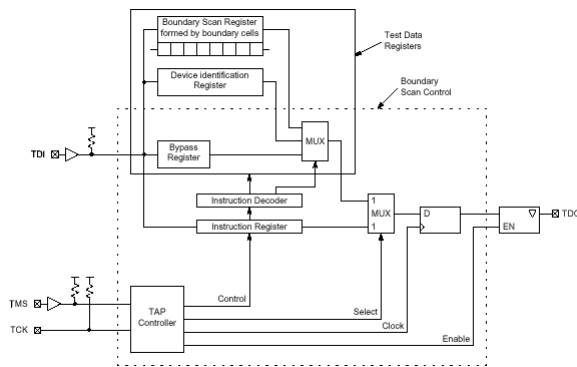
JTAG

8



نحوه کار TAP

- وظیفه TAP این است که با توجه با سیگنالهای کنترلی TMS و TCK سیگنالهای کنترلی برای سلول ها بفرستد.



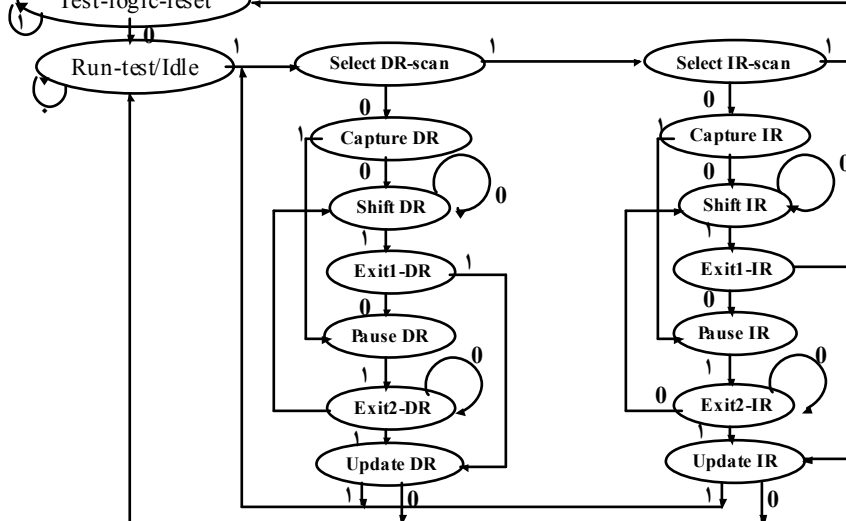
JTAG

9



ماشین حالت TAP

کنترل پیمایش مرزی بوسیله یک ماشین حالت انجام می شود. این ماشین حالت دارای ۱۶ state است.



JTAG

10



ماشین حالت TAP

جهت حرکت در این ماشین حالت بوسیله وضعیت پایه TMS تعیین می شود. در لبه بالا رونده TCK از وضعیت TMS نمونه برداری می شود و با توجه به آن State بعدی مشخص می شود.

این ماشین حالت دارای دو ستون اصلی می باشد که یکی برای شیفت دادن داده به درون DR استفاده می شود و دیگری برای شیفت دادن یک دستورالعمل به درون Instruction Register استفاده می شود.

توضیحات هر کدام از این حالتها به شرح زیر است:

:Test-logic-reset

در این state، پیمایش مرزی متوقف می شود و تراشه کار عادی خود را انجام می دهد. اگر TMS حداقل برای ۵، CLK در سطح High باشد به این حالت وارد می شویم

:Run-test/Idle

در این مرحله اگر دستورالعمل مربوط به تست داخلی یا گرفتن ID code باشد، اجرا خواهد شد

:Select-DR-Scan

این حالت یک حالت موقت برای رفتن به مرحله capture data است.

JTAG

11



ماشین حالت TAP

:CaptureData

در این مرحله داده ها از پینهای ورودی و خروجی به صورت موازی درون شیفت رجیستر DR منتقل می شوند.

:Shif DR

در این مرحله با توجه به اینکه چه دستورالعملی داخل رجیستر IR باشد. محتوای شیفت رجیستر DR از طریق TDO به صورت سریال به بیرون منتقل می شود یا پینهای وارد شده توسط TDI وارد شیفت رجیستر می گردند.

:Exit1-DR,Exit2-DR

این دو State، حالتهای موقت هستند که اگر TMS High، نگه داشته شوند عمل اسکن متوقف می شود.

:Pause-DR

در این مرحله عمل اسکن موقتا متوقف می شود و به باس اصلی اجازه داده می شود که دوباره بارگیری کند.

:Update DR

در این مرحله محتویات رجیستر DR درون لچ مرحله بعد قرار می گیرد. و زمانی که فرمانی برای مقدار گرفتن پینهای ورودی یا خروجی صادر می شود این مقادیر منتقل می شوند.

JTAG

12



ماشین حالت TAP

:Select IR Scan

یک مرحله موقت برای رفتن به State ، Capture IR .

:Capture IR

در این مرحله یک مقدار ثابت درون IR قرار می گیرد.

:Shift IR

در لبه بالا رونده TCK ، داده قرار گرفته در TDI به درون رجیستر IR شیفت داده می شود همچنین دستورالعمل قبلی از TDO خارج می شود.

:Exit1 IR,Exit2 IR

اگر TMS را high کنیم از حالت اسکن خارج می شویم.

:Pause-IR

این مرحله باعث می شود که عمل اسکن را موقتاً متوقف کرده و به باس اصلی اجازه دهد که داده بارگیری شود.

JTAG

13



ماشین حالت TAP

:Update-IR

در این مرحله دستورالعمل که در IR قرار گرفته شده در لیج خروجی قرار می گیرد و دستورالعمل جدید به حساب می آید. در مرحله شیفت می توان دستورالعمل را از طریق TDO خارج کرد و به طور همزمان نیز از طریق TDI دستور جدید وارد شود. در هر لبه بالا رونده TCK داده از TDI برداشته می شود و در لبه پایین رونده داده روی TDO قرار می گیرد. مرحله شیفت آنقدر تکرار می شود تا زمانی که تمام بیت‌های دستورالعمل وارد شود. بعد از وارد شدن آخرین بیت در لبه بالا رونده TCK وارد مرحله Exit1 می شویم و به مرحله Update می رویم تا دستورالعمل جدید لیج شود. این اتفاق در لبه پایین رونده TCK انجام می شود. تعداد بیت‌های IR ، مینیمم ، دو بیت می باشد.

JTAG

14



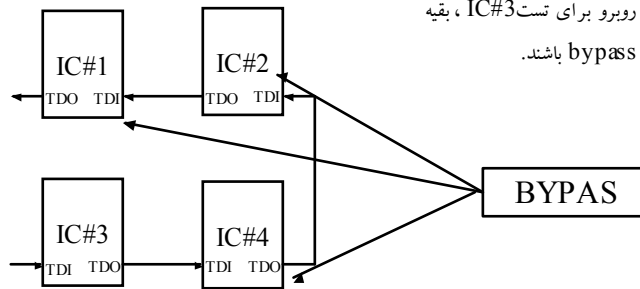
دستوالعملهای اصلی TAP

در استاندارد 1149.1 حداقل ۳ دستور زیر باید وجود داشته باشند، شرکت سازنده می تواند علاوه بر این دستورات دستورات دیگری نیز در موقع طراحی در نظر بگیرد.

۱- BYPASS:

این دستور باعث می شود که TDI با یک فلیپ فلاپ به TDO وصل شود. از این دستور در مواقعی استفاده می شود که چندین تراشه در برد وجود داشته باشند در این موقع هنگام تست یکی از آنها بقیه باید به صورت Bypass باشند.

به عنوان مثال در شکل روبرو برای تست IC#3، بقیه تراشه ها باید در حالت bypass باشند.



JTAG

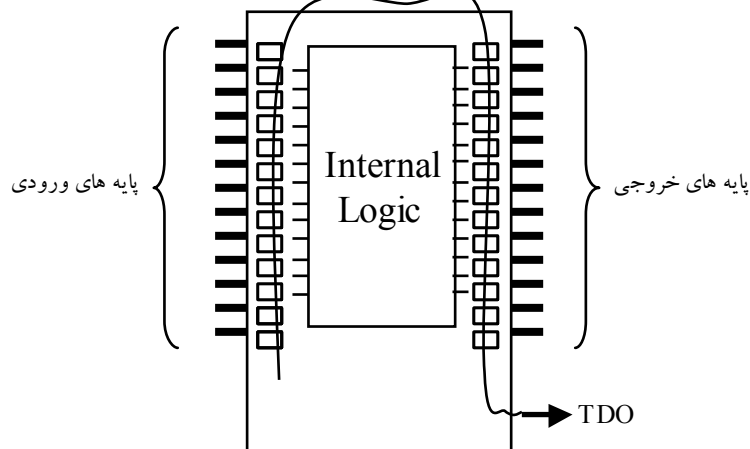
15



دستوالعملهای اصلی TAP

۲- Sample/Preload:

زمانی که چنین دستوری صادر شده باشد، در مرحله Capture DR باعث می شود که رجیستر DR داده جاری را درون خود لود کند. سپس در مرحله Shift-DR این داده به بیرون شفت داده می شوند و داده جدید نیز از طریق TDI وارد می شوند.



JTAG

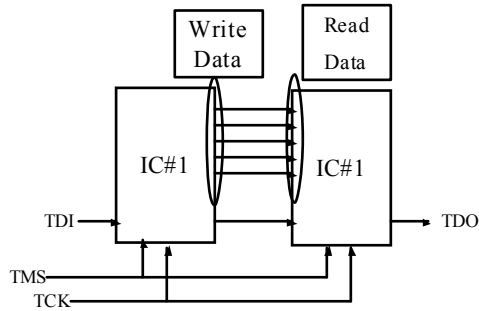
16



دستورات اصلی

(External Test):EXTEST-۳

این دستور العمل مانع از انجام کار عادی دستگاه می شود. هنگامی که این دستور درون IR قرار می گیرد در مرحله Update IR سبب می شود که داده های درون لچ در خروجی قرار گیرند. زمانی که این دستور اجرا می شود در مرحله Capture Data سبب می شود که داده ها درون DR قرار گیرند و در مرحله Shift DR این داده ها به بیرون منتقل شوند. در این روش می توان از اتصال فیزیکی دو تراشه اطمینان حاصل کرد



JTAG

17



دستورات قابل تعریف توسط شرکت سازنده

دستورات اختیاری عبارتند از:

:IDCODE

یک رجیستر ۳۲ بیتی در داخل تراشه قرار می گیرد که حاوی اطلاعاتی نظیر کد شرکت سازنده ، شماره قطعه و نسخه آن است. در صورت صدور چنین فرمانی می توان این عدد ۳۲ بیتی را از طریق TDO خواند.

Version(4Bits)	Part Number(16Bits)	Manufacture ID(11 Bits)	۱
----------------	---------------------	-------------------------	---

JTAG

18



دستورات قابل تعریف توسط شرکت سازنده

:USERCODE

برای ساختن ساختارهای خاص برای تست می باشد. همانطور که گفته شد این رجیستر نیز به دلخواه شرکت سازنده قرار می گیرد و از مثالهای کاربردی آن می توان BIST را نام برد.

(Internal Test):INTEST و RUNBIST

با این دستور می توان یک سری تستهای داخلی انجام داد. الگوهای تست توسط شرکت سازنده در درون تراشه قرار گرفته است. و با توجه به کانالوگهای شرکت سازنده باید از صحت انجام این تستها مطمئن شد.

JTAG

19



[1,5] BSDL

- همانطور که گفته شد در طراحی کنترل کننده TAP تنها تعدادی از دستورات جنبه عمومی دارند و بقیه بر حسب نیاز شرکت های سازنده طراحی می شوند، برای جلوگیری از بوجود آمدن هرج و مرج زبان BSDL طراحی شد تا استاندارد سازی برای توصیف پیمایش مرزی هر تراشه باشد. در این حالت برای هر تراشه فایلی با پسوند BSD ساخته می شود که در آن مشخصات سخت افزار استفاده شده برای Boundary scan آمده است همچنین طول رجیستر IR و DR و IDCODE آورده شده است. بنابراین نرم افزاری که برای تست برد استفاده می شود برای استخراج کردن مشخصات تراشه های استفاده شده در برد، فایل آنها را آنالیز می کند و خود را با آنها تطبیق می دهد.

- این زبان زیر مجموعه ای از زبان توصیف سخت افزار VHDL است.

JTAG

20



کابل JTAG [2]

- کامپیوترهای PC از طریق کابلی با ۶ رشته سیم با تراشه هایی که طبق استاندارد JTAG هستند ارتباط برقرار می کنند. به این کابل ، کابل JTAG گفته می شود. این کابل دارای یک بافر است که تغذیه این بافر از طریق دو رشته سیم همین کابل تامین می شود. ۴ رشته دیگر TMS, TDO, TDI, TCK هستند.
- انواع مختلفی از این کابلها در بازار موجودند. که عمده آنها از نوع موازی یا سریال یا USB هستند.
- برنامه های نوشته شده توسط شرکتهای سازنده از این کابل جهت ارتباط با تراشه های روی برد استفاده می کنند.

JTAG

21



مصارف دیگر روش JTAG [2]

- روش JTAG ابتدا برای تست مدارهای دیجیتال بوجود آمد. در این روش چون به تمام پینهای یک تراشه به صورت مجازی می توان دسترسی داشت بنابراین می توان برای برنامه ریزی تراشه نیز استفاده شود.
- امروزه روش JTAG به عنوان استانداردی برای Program کردن انواع تراشه های PROM, CPLD, و FPGAها تبدیل شده است.

JTAG

22



مراجع

- [1] IEEE std 1194.1-1990,IEEE standard Test Access port and boundary scan architecture
- [2] Data source Xilinx CD,xapp017.pdf, jtag programmer help
- [3] www.oki-europe.de/1.Products/ASIC/APPNOTES/Jtag.pdf
- [4] Texas instrument ,scan educator demo program
- [5] <http://www.fmvslib.cz/~kes/bs/bsdl.pdf>

پایان